

4. The invention of the present application relates to a semiconductor manufacturing method and is characterized by including a stage in which a substrate is pre-treated using NH₃ gas before the source gas containing a high-melting-point metal is introduced into the chamber in a method for the CVD lamination of TiN on an insulating film that is formed of a metallic oxide. However, this [invention] could easily be invented by a person skilled in the art based on an invention which is characterized by the fact that in the method for manufacturing a semiconductor device capacitor element of Republic of Korea Laid-Open Patent Application Publication No. 94-6260 (March 23, 1994), [the invention] includes a stage in which the lower electrode is nitridized using NH₃ gas prior to the formation of a tantalum oxide film on the surface of a lower electrode. (Section 29 (2) of Patent Law)

[Attachments]

Attachment 1: Republic of Korea Laid-Open Patent Application Publication No. 94-6260
(March 23, 1994).

End.

意 見 提 出 通 知 書

2001年 7月 27日

審査4局 半導体2 審査担当官室
審査官 趙 知恩

出願人：日本電気株式会社(出願人コード：519980604474)
日本国東京都港区芝5丁目7番1号

代理人：朴 海善 他1名
ソウル江南区駅三1洞824-19東慶ビル

出願番号：1999年特許出願第53274号

発明の名称：半導体装置の製造方法

この出願に対する審査の結果、下記のとおりの拒絶理由があるので、特許法第63条の規定によってこれを通知します。意見があるか又は補正が必要な場合は、2001年9月27日までに、意見書又は補正書を提出して下さい（上記期日にに対する延長は毎回1月単位で延長申請することができ、別途の期間延長承認通知は致しません）。

[理由]

この出願の特許請求の範囲第1-20項に記載の発明は、該出願前に、その発明の属する技術の分野における通常の知識を有する者が、下記に指摘した発明に基づいて、容易に発明をすることができたものと認められるので、特許法第29条第2項の規定に該当して特許を受けることができません。

この出願は、特許請求の範囲の記載が、次に指摘したとおり不備なものと認められ、特許法第42条第4項の規定による要件を満たしていないので、特許を受けることができません。

[記]

1. 本願発明の請求の範囲第1項、第8項の記載において不明瞭な記載があるので、発明の内容が不明確であります(例：‘上記絶縁膜は’、‘上記絶縁膜上に直接形成され’等は、上記絶縁膜が何を指しているのか、理解し難いものであります)。(特許法第42条第4項第2号)

2. 本願発明の請求の範囲第1項、第8項の記載において、本願発明の目的達成及び効果をなすために必要な構成要素であると思われる‘基板温度を所定の温度に保持しつつ’、‘上記絶縁膜に含まれた金属酸化物と反応しないガス’等に関する具体的な記載がなく、不明瞭に記載されているので、発明の内容が不明確であります。(特許法第42条第4項第2号)

3. 本願発明の請求の範囲第2項の記載において、‘ガス流量を安定化するための流量安定化段階として機能する’という、効果を中心とする記載があります。(特許法第42条第4項第2号)

4. 本願発明は、半導体の製造方法に関するものであり、金属酸化物からなる絶縁膜上にCVD-TINを積層するための方法において、高融点金属含有ソースガスをチャンバに流入する前に、NH₃ガスを用いて基板を前処理する段階を含むことを特徴としているが、これは韓国内公開特許公報94-6260号(94.03.23)の半導体デバイスキャパシタ素子の製造方法において、下部電極の表面上にタンタリウム酸化膜を形成する前に、NH₃ガスを用いて下部電極を窒化する段階を含むことを特徴とするものに基づいて、当業者により容易に発明をすることができたものである。(特許法第29条第2項)

[添付]

添付1 韓国内公開特許公報94-6260号(94.03.23)

以上

BL

(19) 대한민국특허청(KR)

(12) 특허공보(B1)

(51) Int. Cl.:

H01L 27/108

H01L 27/04

(21) 출원번호 특 1993-0015154

(22) 출원일자 1993년 08월 05일

(30) 우선권주장 92-209879 1992년 08월 06일 일본(JP)

(73) 특허권자 낫본덴기 가부시끼가이샤 세끼모또 탄다히로
일본국 도쿄도 미나도꾸 시바 5조메 7-1(72) 발명자 가미야마 사또시
일본국 도쿄도 미나도꾸 시바 5조메 7-1 낫본덴기 가부시끼가이샤 내

(74) 대리인 구영창, 주성민

설명서 : 유선형
(제작공보 제4955호)

(54) 초대규모 직접회로 내에 캐패시터 소자를 제조하는 방법

요약

내용 없음.

표표도

도면

명세서

[발명의 명칭]

초대규모 집적회로 내에 캐패시터 소자를 제조하는 방법

[도면의 간단한 설명]

제1a도 내지 제1c도는 종래의 방법으로 수행되는 반도체 디바이스의 캐패시터 소자를 제조하는 연속 단계들을 도시한 단면도.

제2a도 내지 제2d도는 본 발명의 제1실시예에 따른 방법으로 수행되는 캐패시터 조사를 제조하는 연속 단계들을 도시한 단면도.

제3도는 불순을 도포된 탄탈륨 산화물 막의 형성시 사용되는 자치를 도시한 도면.

제4a도 내지 제4d도는 본 발명의 제2실시예에 따른 방법에서 사용되는 캐퍼시터 소자를 제조하는 연속단계들을 도시한 단면도.

제5도는 증래 기술, 제1실시예 및 제2실시예의 방법에 따라 제조된 구조물내의 탄탈를 산화를 막 두께에 대한 SiO_x 변환된 등가 막의 변화를 도시한 그래프.

제6도는 증래 기술, 제1실시예 및 제2실시예의 방법에 따라 제조된 구조물내의 누설 전류 특성을 도시한 그래프.

* 도면의 주요부분에 대한 부호의 설명

1 : P-형 실리콘 기판	2 : 소자분리 영역
3 : 폴리실리콘 전극	4 : 본래의 산화물 막
5 : 탄탈을 산화물 막	6 : 상부 전극
12, 13 : 가스화 챔버	14 : 웨이퍼
16 : 히터	18 : 반응 챔버
24 : 실리콘 질화물 막	

[발명의 상세한 설명]

본 발명은 반도체 디바이스를 제조하는 방법에 관한 것으로 특히, DRAM(다이나믹 랜덤 액세스 메모리)와 같은 초대규모 집적회로(super-LSI) 내에 캐퍼시터소자를 형성하는 방법에 관한 것이다.

256MB DRAM 이상의 초대규모 집적회로 메모리 디바이스의 캐퍼시터에 있어서, 단위 영역당 캐퍼시턴스를 증가시킬 수 있는 고유전 용량성 절연막의 캡발에 연구 및 투자가 행해졌다. 연구된 고유전성 용량성 고유전 용량성 절연막 중에서, 화학증착(CVD) 공정에 의해 형성된 탄탈을 산화를 막은 25 내지 30의 높은 고유 유전 상수(Sr) 및 우수한 스텝 커버리지 특성을 갖는다. 또한, 이 막의 형성 공정은 다른 고유전 용량성 절연막의 형성 공정에 비해 극히 용이하다. 이러한 이유로, 이 기술분야에 대한 광범위한 연구가 수행되었다.

제1a도, 제1b도 및 제1c도는 탄탈막을 사용하여 캐퍼시터 소자를 형성하는 증래의 공정의 연속적인 단계들을 도시한 단면도이다.

우선, 제1a도를 참조하면, 폴리실리콘을 표면 영역에 n-형 확산층(1a)을 갖는 p-형 실리콘 기판(1)상에 CVD공정에 의해 증착되고, n-형 확산층(1a)에 도달하는 개구를 갖는 소자 분리 영역(2)가 형성된다. 그 다음, 인(P)가 열적으로 확산된 후, 폴리실리콘 내부 또는 하부 전극(3)이 통상적인 리소그래픽 기술에 의해 형성된다. 이 단계에서 본래의 산화물 막(4)가 폴리실리콘 전극(3)의 표면상에 형성된다.

이후에, 제1b도에 도시한 바와같이, 탄탈을 산화물 막(?)은 소스 가스로서 에톡시탄탈륨(Ta(OC₂H₅)₆)을 사용하여 저압 화학증착(LPCVD) 공정에 의해 폴리실리콘 하부 전극(3) 상에 형성된다. 그 다음, 이 웨이퍼는 누설 전류를 감소시키기 위해 600 내지 1000°C에서 산소 분위기 내에서 고온 열처리되므로, 탄탈うま산화물 막(?) 내의 누설전류 특성을 개선한다. 이때, 본래의 산화물 막(4)는 SiO_x막(4a)로 된다. 그 다음, 제1c도에 도시한 바와같이, 외부 또는 상부 전극(6)이 형성된다. 상부 전극(6)에는 텅스텐(W)이 일반적으로 사용된다. 삼기 단계들을 통해, 캐퍼시터의 형성은 완료된다.

상기한 증래 기술의 패캐시터 구조물은 다음과 같은 문제점을 갖는다. 증래 기술의 캐퍼시터 형성 공정에 있어서, 하부 전극(3)으로서의 폴리실리콘 상에 탄탈을 산화물 막(?)을 형성한 이후에, 누설전류 특성을 개선하기 위해 산소 분위기내에서 고온 열처리를 행함으로써 형성되는 캐퍼시터는 SiO_x막(고유 유전 상수 Sr=3.9)으로 변환된 등가 두께에 대해서 고온 열처리를 행함으로써 형성되는 캐퍼시터는 SiO_x막(고유 유전 상수 Sr=3.9)으로 변환된 등가 두께에 대해 두께

가 최대 약 3nm의 캐패시턴스($C_s=12\text{pF}/\mu\text{m}^2$)를 갖는다. 이것은 탄탈륨 산화물 막의 누설 전류 특성을 개선하기 위해 산소 분위기 내에서 수행된 고온 열처리로 인해 본래의 산화물 막(4)가 탄탈륨 산화물 막(7)과 폴리실리콘 전극(3) 사이의 인터페이스에 존재하고, 폴리실리콘전극(3)의 두께가 증가되어 SiO_x 막(4a)로 되었기 때문이다. 이 용량성 절연막이 256 MB DRAM 이상의 캐패시터에 사용되는 경우에는 충분한 캐패시턴스가 획득되지 못한다. 다른 문제점은 종래 기술로 형성된 캐패시터 소자가 제6도에서 볼 수 있는 바와 같이 약 0.7V의 저전압을 갖는 누설 전류 특성($10^{-6}\text{A}/\text{cm}^2$)을 갖는다는 것이다. 이러한 누설 전류 특성을 갖는 캐패시터 소자는 어떤 실용 디바이스에도 채택될 수 없다.

그러므로, 본 발명의 목적은 종래 기술의 방법에서 존재하는 이러한 문제점을 극복하고 용량성 절연막이 박막이므로 누설 전류 특성을 개량하는 DRAM과 같은 초대규모 집적 회로에 사용될 수 있는 반도체 디바이스의 캐패시터 소자를 제조하는 방법을 제공하기 위한 것이다.

본 발명의 한 특징에 따르면, DRAM과 같은 초대규모 집적 회로에 사용된 캐패시터가 폴리실리콘의 하부 전극의 표면상에서 본래의 산화물 막을 제거하는 단계; 상기 하부 전극의 표면상에 불순물로 도프된 탄탈륨 산화물 막을 형성하는 단계; 및 탄탈륨 산화물 막 상에 탄탈륨 질화물로 구성된 상부 전극의 저부를 갖는 상부 전극을 형성하는 단계를 포함하는 공정에 의해 형성된 반도체 디바이스를 제조하는 방법을 제공한다.

본 발명에 따른 캐패시터 소자를 형성하는 방법에 있어서, 본래의 산화물 막이 캐패시터 소자의 하부 전극으로서 폴리실리콘 전극의 표면상에서 제거된 다음, 불순물로 도프된 탄탈륨 산화물 막이 용량성 절연막으로서 형성되고, 그 다음 탄탈륨 질화물의 상부 전극이 형성된다. 본 발명에 의하면, 용량성 절연막의 두께를 감소시키는 누설 전류 특성이 개량된 캐패시터 소자를 형성할 수 있다.

본 발명의 상술한 목적, 구성 및 장점과 이외의 다른 목적, 구성 및 장점은 첨부된 도면을 참조하여 설명된 본 발명의 양호한 실시예들의 아래 설명을 참조함으로써 보다 명백해진다. 이하, 본 발명을 첨부 도면을 참조하여 상세히 설명하겠다.

아래 설명 전반에 걸쳐 참조 기호 또는 참조 번호는 모든 도면내의 동일한 소자에 붙인다.

제2a도 내지 제2d도는 본 발명의 제1실시예에 따른 캐패시터 소자를 제조하는 순차적인 단계들을 도시한 것이다.

제2a도를 참조한다. 표면 영역상에 n-형 확산층(1a)을 갖는 p-형 실리콘 기판(1) 상에는 소자분리 영역(2)가 우선, 제2a도를 참조한다. 그 다음, 폴리실리콘 막이 기판상에 CVD공정에 의해 증착된 다음, 열확산에 의해 인으로 도프되고, 그다음, 폴리실리콘 전극(3)을 형성하기 위해 통상적인 리소그래피 및 에칭기술로 패턴된다. 이때, 본래의 산화물 막(4)가 폴리실리콘 전극(3)의 표면상에 형성된다.

그 다음, 제2b도에 도시한 바와 같이, 폴리실리콘 전극(3)상의 본래의 산화물 막(4)이 무수의 하이드로플로오르 산을 사용하여 제거된다.

그 다음, 제2c도에 도시한 바와 같이, 불순물로 도프된 탄탈륨 산화물 막(5)가 CVD공정에 의해 증착된다.

그 다음, 제2d도에 도시한 바와 같이, 탄탈륨 질화물이 상부 전극(6)로서 형성된다.

제2c도에 도시한 불순물로 도프된 탄탈륨 산화물 막(5)는 제3도에 도시한 장치를 사용하여 형성된다. 탄탈륨 산화물 막 형성용 소스 가스들은 유기 탄탈륨 가스[(탄탈륨 펜타-에톡시드($\text{Ta}(\text{OC}_2\text{H}_5)_5$))] 및 유기 탄탈륨 가스[(티타늄 테트라-부록시드($\text{Ti}(\text{OC}_2\text{H}_5)_4$))]이다. 이 소스 물질들은 각각의 가스화 챔버(12 및 13) 내에서 가스화되어 반응 가스로서 마르곤 가스(9)와 함께 반응 챔버(18)로 유도된다. 이때, 산소 가스는 벌브(25)를 통해 반응 챔버(18)로 유도된다. 반응 챔버(18)은 유도된 유기 탄탈륨, 유기 탄탈륨 및 산소 가스를 화학 증기 상태로 반응시키기 위해 히터(16)에 의해 가열된다. 그러므로, 탄탈륨 불순물로 도프된 탄탈륨 산화물 막은 웨이퍼(14) 상에 형성된다.

막 성장에 적합한 조건으로서, 유기 탄탈륨 물질의 가스화 챔버(12) 내의 가열 온도는 30 내지 200°C이고, 유기 탄탈륨 물질의 가스화 챔버(13) 내의 가열온도는 또한 30 내지 200°C이며, 허리(16)에 의해 가열된 반응 챔버(18) 내의 성장 온도는 300 내지 800°C이고, 반응 가스로서의 마르곤 가스의 흐름 속도는 10내지 1000 SCCM이며, 마르곤 가스의 흐름 속도

및 압력은 각각 0.1 내지 20.00 SLM 및 0.1내지 10 Torr이다. 이 실시예가 티타늄 도프된 탄탈륨 산화물 막(5)를 형성하기 위해 반응 챔버(18)를 사용할지라도, 유사한 막은 반응 챔버(19)가 사용되는 경우에 형성될 수 있다. 또한, 이 실시예에서, 티타늄이 불순물로서 도프될지라도, 실리콘(Si), 봉소(B), 인(P) 및 게라마늄(Ge)으로 이루어지는 그룹으로부터 선택된 한 원소를 도프시킬 수 있다.

또한, 상기 실시예가 상부 전극으로서 티타늄 산화물 단층을 사용할지라도, 텁스텐 또는 티타늄 산화물/텅스텐, 티타늄 질화물/몰리브덴, 티타늄 질화물/텅스텐 실리사이드와 같은 복합 막으로도 동일한 효과가 획득될 수 있다.

제4a도 내지 제4d도는 본 발명의 제2실시예를 설명하기 위한 순차적인 단계를 도시한 단면도이다.

상술한 제1실시예와 유사하게, 본래의 산화물 막(4)를 하이드로클루오르 산으로 제거한 후, 제4a도에 도시한 바와 같이, 실리콘 질화물 막(24)은 암모니아가스(NH₃)를 사용하여 신속 온도 상승 열처리에 의해 폴리실리콘 전극(3) 상에 형성된다. 이 질화처리의 온도는 800 내지 1000°C가 적합하다.

그 다음, 제4b도에 도시한 바와 같이, 불순물 도프된 탄탈륨 산화물 막(5)는 CVD공정에 의해 증착된다. 이 불순물 도프된 탄탈륨 산화물 막(5)는 상술한 제1실시예에서와 동일한 조건하에서 접합하게 형성된다.

또한, 제4c도에 도시한 바와 같이, 증착된 티타늄 도프된 탄탈륨 산화물 막(5)는 고온 열처리에 의해 조밀화 처리를 통해 조밀화된 탄탈륨 산화물 막(5a)로 변환된다. 조밀화 처리는 600 내지 1000°C의 온도에서 질소, 아르곤 또는 미와 같은 불활성 가스 분우기 내에서 전기로 또는 캠프가열을 사용하는 고속 가열 시스템을 사용함으로써 적절하게 수행된다.

이후에, 제4d도에 도시한 바와 같이, 티타늄 질화물(6)은 상부 전극(6)으로서 형성된다. 이 실시예가 또다시 상부 전극(6)으로서 티타늄 질화물 단층을 사용할지라도, 텁스텐 또는 티타늄 질화물/텅스텐, 티타늄 질화물/몰리브덴, 티타늄 질화물/텅스텐과 같은 복합 막을 사용함으로써 동일한 효과가 획득될 수 있다.

제5도는 상기 본 발명의 제1실시예 및 제2실시예에 기초하여 제조된 디바이스에서 탄탈륨 산화물 막 두께에 대한 SiO_x 변환된 등가 막 두께의 변화를 도시한 것이다. 이 그래프는 본 발명의 제1실시예 및 제2실시예에 기초하여 제조된 디바이스에서 탄탈륨 산화물 막의 두께에 대해 도시된 SiO_x 변환된 등가 막 두께의 측정 결과 및 증래 기술에 기초하여 제조된 디바이스에서 탄탈륨 산화물 막의 두께에 대해 도시된 SiO_x 변환된 등가 막 두께의 측정 결과를 도시한 것이다. 이 그래프로부터 알 수 있는 바와 같이, SiO_x 변환된 등가 막 두께는 증래의 기술에 기초하여 형성된 디바이스에서의 막 두께에 비해 제1 및 제2실시예에 기초하여 형성된 디바이스에서의 막 두께가 보다 얇다. 또한, 이 막 두께는 제2실시예에서 보다는 제1실시예에서 보다 얇다. 이러한 결과는 증래 기술의 경우에, 약 2nm의 SiO_x 막 두께가 탄탈륨 산화물 막과 폴리실리콘 전극 사이의 인터페이스에서 형성되는 반면, SiO_x 막의 두께가 제2실시예의 경우에 약 1nm이고, 제1실시예의 경우에 거의 무시할 수 있기 때문에 획득된다. 한 예로서, 10nm의 두께를 갖는 탄탈륨 산화물 막이 상용될 때, SiO_x 변환된 막의 등가 두께가 증래 기술의 경우에 약 3.5nm인 반면, 제1실시예의 경우에 약 1.5nm정도이고 제2실시예의 경우에 약 2nm정도로 얇다.

제6도는 본 발명의 제1 및 제2실시예에 기초하여 제조된 디바이스내에서 탄탈륨 산화물 막의 누설 전류 특징을 도시한 것이다. 이 그래프는 본 발명의 제1실시예 및 제2실시예에 기초하여 형성된 탄탈륨 산화물 막의 누설 전류 특성 및 증래 기술에 기초하여 형성된 탄탈륨 산화물 막의 누설 전류 특성을 도시한 것이다. 제1실시예에 기초하여 형성된 탄탈륨 산화물 막의 누설 전류 특성은 증래 기술에 기초한 막의 누설 전류 특성보다 우수하다. 이것은 탄탈륨 산화물 막 형성 중에 도프된 티타늄 불순물이 탄탈륨 산화물 막 내의 맹글링 결합(dangling bond)을 매립하는 효과를 갖으므로, 전기적 트랩 위치를 감소시키기 때문이다. 제2실시예에 기초하여 획득된 탄탈륨 산화물 막의 누설 전류 특성은 제1실시예에 기초하여 획득된 누설 전류 특성보다 우수하다. 이것은 티타늄 도프된 탄탈륨 산화물 막 형성 이후에 수행되는 고온 열처리에 의한 조밀화 처리가 탄탈륨 산화물 막내의 탄소 또는 물의 함량을 외부로 확산시키는 효과를 갖기 때문이다. 본 발명의 제1실시예 및 제2실시예에 기초하여 형성된 탄탈륨 산화물 막의 누설 전류 특성은 실용 디바이스에 채택될 수 있을 정도로 만족스럽다.

상술한 바와 같이, 본 발명에 따르면, DRAM과 같은 초대규모의 집적 회로에 사용되는 캐패시터는 1) 폴리실리콘의 하부

또는 내부 전극의 표면상의 본래의 산화물 막을 제거하는 단계, 2) 불순률 도포된 탄탈를 산화물 막을 형성하는 단계, 및 3) 티타늄 질화물로 구성된 상부 전극의 저부를 갖는 상부 전극을 형성하는 단계를 포함하는 공정에 의해 형성되므로 용량성 절연막의 두께를 감소시킬 수 있고 개량된 누설 전류 특성을 갖는 만족할만한 캐퍼시터 디바이스를 형성할 수 있다.

본 발명이 양호한 실시예들에 대해 설명되었을지라도, 사용된 용어는 본 발명의 제한으로 사용되기 보다는 설명하기 위한 용어로 사용되었고 첨부된 특허 청구 범위의 범위내의 변형은 넓은 의미에서 본 발명의 진정한 범위 및 정신을 벗어나지 않고 제조된 것으로 이해된다.

(57) 청구의 특징

청구항 1. 폴리실리콘의 하부 전극(3)의 표면상의 본래의 산화물 막(4)를 제거하는 단계, 상기 하부 전극의 표면상에 불순률로 도포된 탄탈을 산화물 막(5)를 형성하는 단계, 및 상기 탄탈을 산화물 막상에 티타늄 질화물로 이루어진 상부 전극의 저부를 갖는 상부 전극(6)을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 2. 제1항에 있어서, 본래의 산화물 막(4)를 제거하는 상기 단계가 무수의 하이드로플루오로 산을 사용하는 처리인 것을 특징으로 하는 반도체 디바이스의 제조방법.

청구항 3. 제1항에 있어서, 상기 불순물이 티타늄(Ti), 실리콘(Si), 봉소(B), 인(P) 및 게라마늄(Ge)으로 이루어지는 다수의 그룹인 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 4. 제1항에 있어서, 상기 탄탈을 산화물 막(5)를 형성하는 상기 단계가 유기 탄탈을 물질을 사용하는 화학 증착에 의해 수행되는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 5. 제1항에 있어서, 탄탈을 산화물 막(5)를 형성하는 상기 단계가 유기물질을 사용하는 화학 기상 반응을 통해 불순물을 도핑함으로써 수행되는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 6. 제1항에 있어서, 상기 본래의 산화물 막을 제거하는 상기 단계 이후 폴리실리콘의 상기 하부 전극(3)의 표면을 질화하는 단계 및 상기 탄탈을 산화물 막의 형성후에 고온 열처리를 통해 상기 탄탈을 산화물 막(5)를 조밀화하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

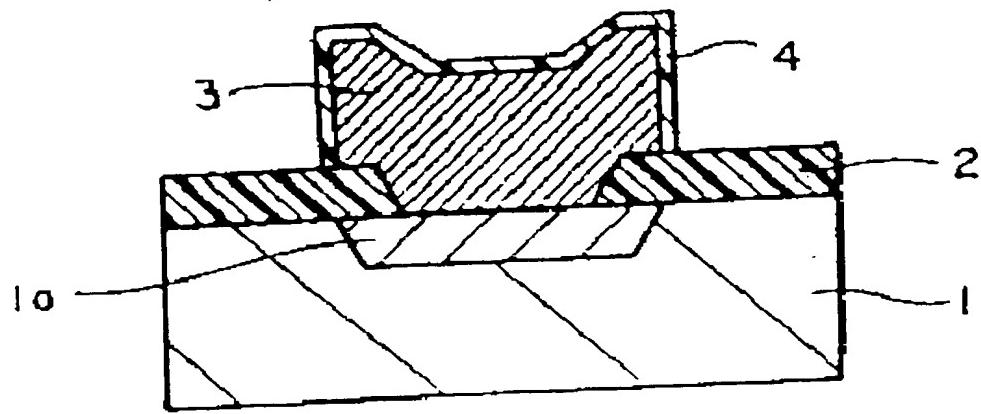
청구항 7. 제6항에 있어서, 폴리실리콘의 상기 하부 전극(3)의 표면을 질화하는 상기 단계가 암모니아 가스(NH₃)를 사용하는 신속 온도 상승 열처리에 의해 수행되는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 8. 제6항에 있어서, 상기 고온 열처리가 전기로 또는 램프 가열을 사용하는 신속 온도 상승 가열 시스템에 의해 수행되는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

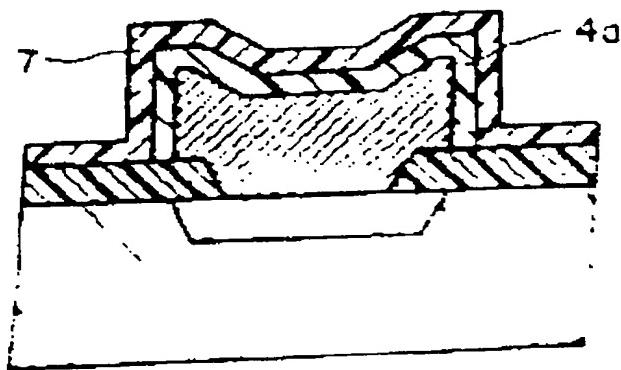
청구항 9. 제6항에 있어서, 상기 고온 열 처리가 불활성 가스 분위기 내에서 수행되는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

도면

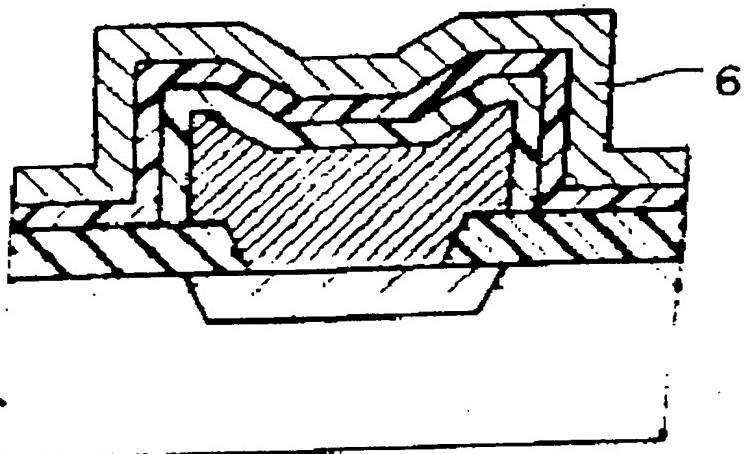
도면 1a



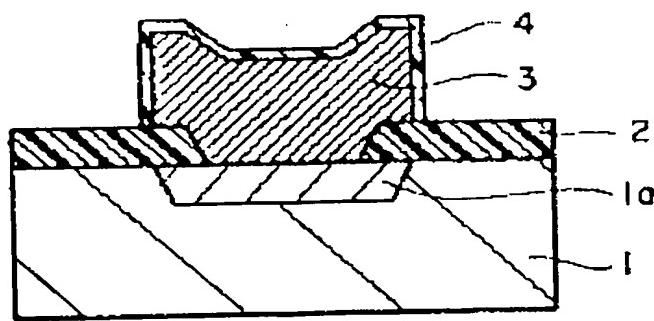
도면 1b



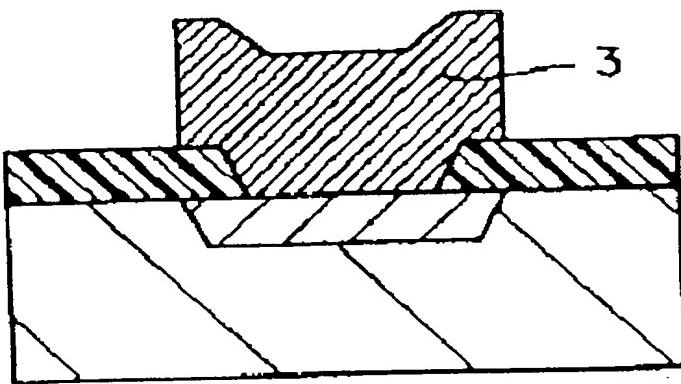
도면 1a



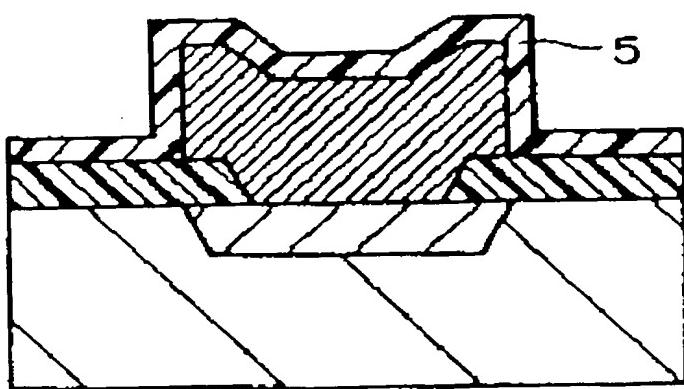
도면 2a



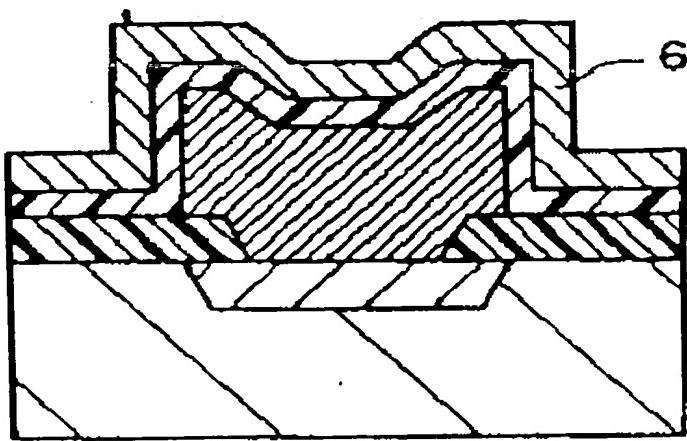
도면2b



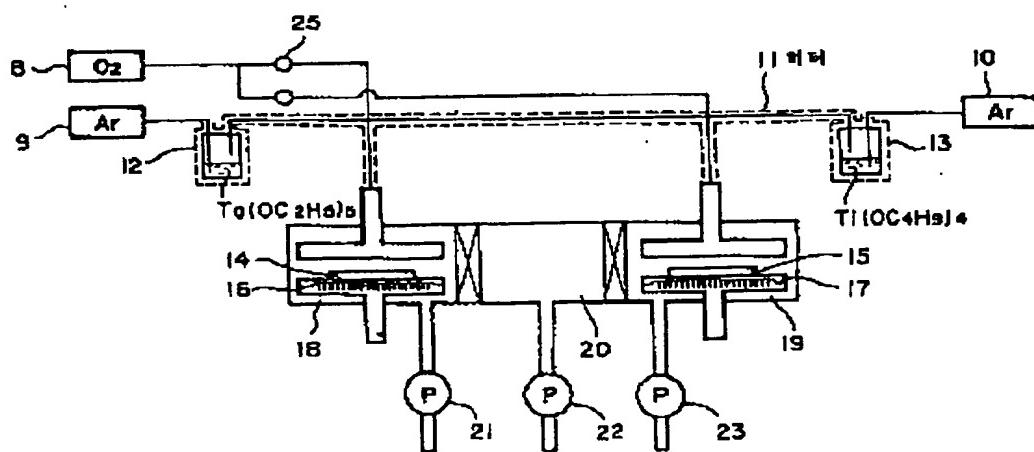
도면2c



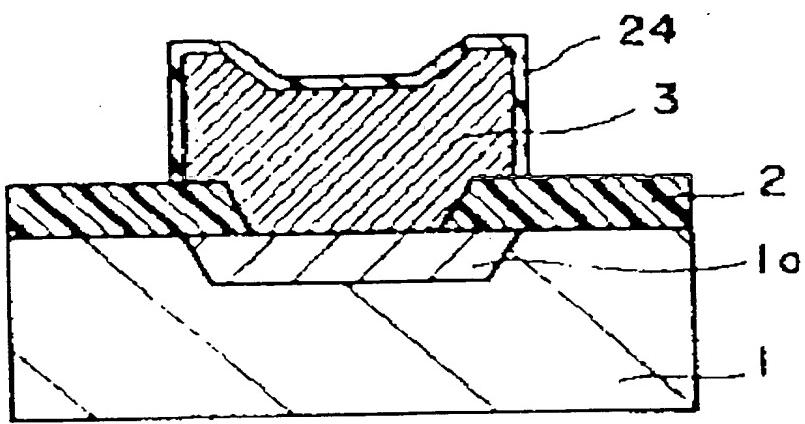
도면2d



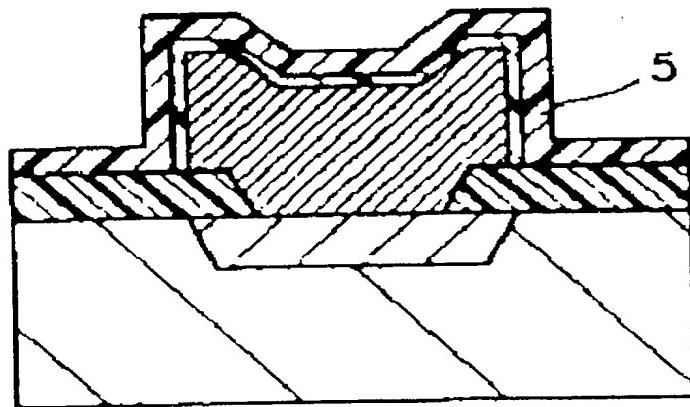
도면3



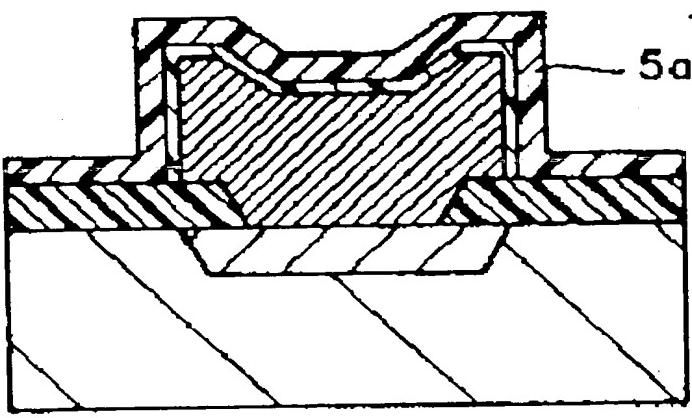
도면4a



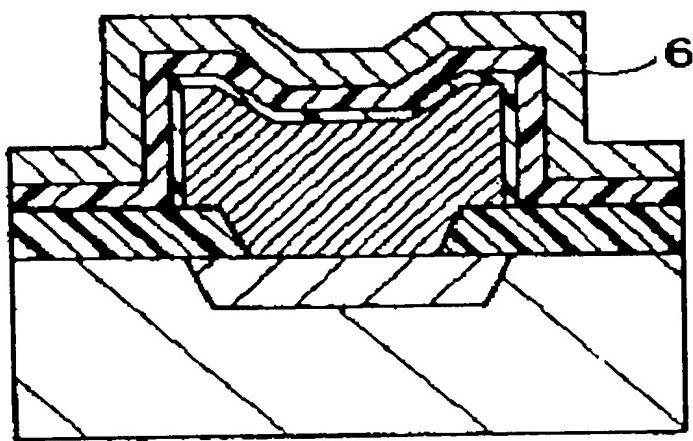
도면4a



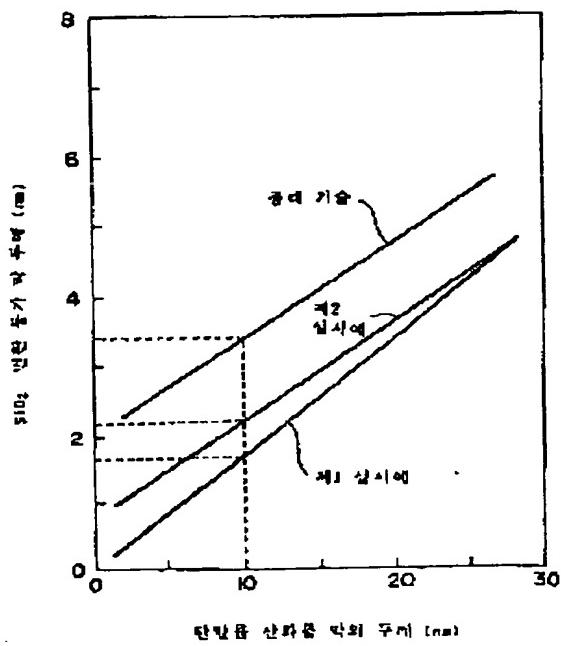
도면4b

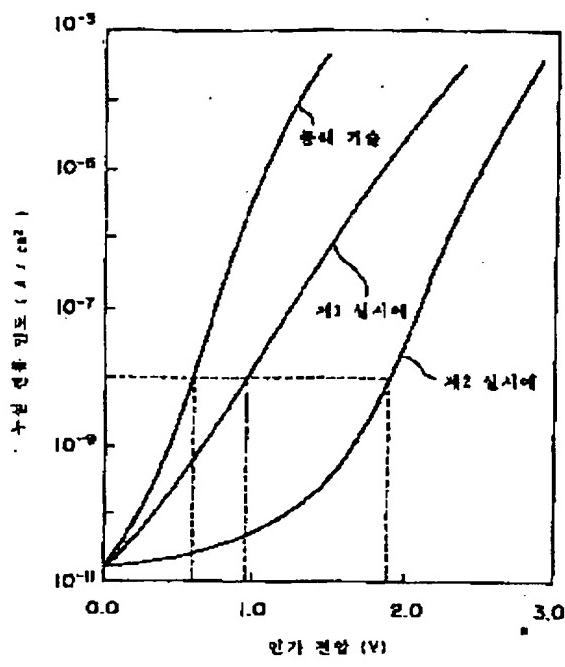


도면 5a



도면 6





**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.